

(11)Publication number : 11-145375

(43)Date of publication of application : 28.05.1999

(51)Int.Cl. H01L 23/538  
H01L 25/04  
H01L 25/18

(21)Application number : 09-310083

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 12.11.1997

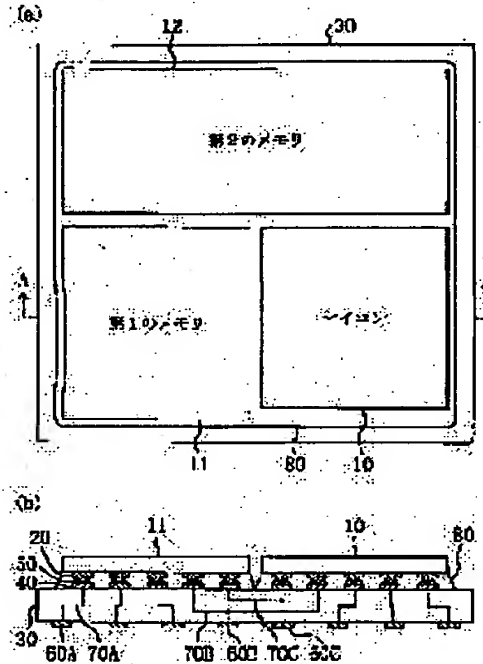
(72)Inventor : KUNITOMO MINOBU  
KAYAHARA MASAO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which a plurality of semiconductor chips is mounted on a circuit board, in such a state that a desired chip can be inspected or screened from the outside.

**SOLUTION:** A semiconductor device is provided with a microcomputer 10, a first memory 11, and a second memory 12 which respectively carry Au bumps 20 on their one surfaces and a circuit board 30. Electrodes 40 for chips are provided on the circuit board 30 and respectively connected to the Au bumps 20 via a conductive resin 50. The semiconductor device is also provided with external electrodes 60A, 60B, 60C,... for inputting and outputting signals with respect to the outside, an inner wiring 70A for connecting the Au bumps 20 of the first memory 11 to the electrode 60A, an inner wiring 70B for connecting the combination of the Au bumps 20 of the first memory 11 and microcomputer 10 to the electrode 60B, and an inner wiring 70C for connecting an Au bump combination other than this combination to the electrode 60C.



LEGAL STATUS

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-145375

(43)公開日 平成11年(1999) 5月28日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/538

H 0 1 L 23/52

A

25/04

25/04

Z

25/18

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平9-310083

(22)出願日 平成9年(1997)11月12日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 國友 美信

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 荻原 正雄

大阪府高槻市幸町1番1号 松下電子工業株式会社内

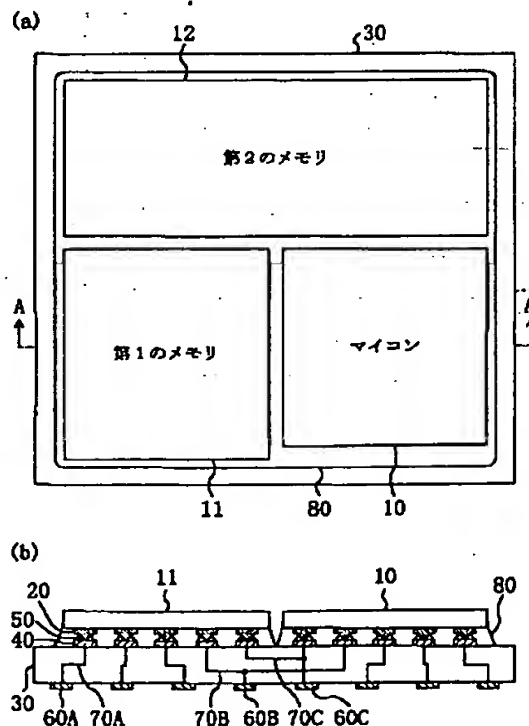
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 回路基板へ複数の半導体チップを実装し、かつ、所望の対象チップに対して外部から検査又はスクリーニングを実施できる半導体装置を提供する。

【解決手段】 半導体装置に、各々一方の面にAuパンプ20を有するマイコン10、第1のメモリ11、及び第2のメモリ12と、回路基板30とを備え、該回路基板30に、各々導電性樹脂50を介してAuパンプ20に接続されたチップ用電極40と、半導体装置の外部に対して信号を入出力するための外部用電極60A、60B、60C、…と、第1のメモリ11が持つAuパンプ20と外部用電極60Aとを接続するための内部配線70Aと、第1のメモリ11とマイコン10とが各々持つAuパンプ同士の組合せと外部用電極60Bとを接続するための内部配線70Bと、該組合せとは別のAuパンプ同士の組合せと外部用電極60Cとを接続するための内部配線70Cとを更に備える。



## 【特許請求の範囲】

【請求項 1】 絶縁性基体からなる回路基板の上へ複数の半導体チップが実装された半導体装置であって、前記複数の半導体チップは、一方の面において複数の金属突起からなる第 1 の電極を各々備え、前記回路基板は、一方の面において前記第 1 の電極に導電性物質を介して各々接続されるための第 2 の電極と、他方の面において信号を前記半導体装置の外部から受け取り又は外部へ供給するための複数の外部用電極と、該第 2 の電極と外部用電極との間又は該第 2 の電極同士と外部用電極との間を各々接続し、該外部用電極から受け取った検査入力信号を前記複数の半導体チップのうちの 1 個からなる対象チップへ供給し、かつ、該対象チップから受け取った検査出力信号を前記外部用電極へ供給することによって該対象チップを検査するための内部配線とを備えたことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、前記回路基板は、セラミックから構成され、かつ 0.2 mm 以上 0.5 mm 以下の板厚を有することを特徴とする半導体装置。

【請求項 3】 絶縁性基体からなる回路基板の上へ複数の半導体チップが実装された半導体装置を製造する製造方法であって、前記複数の半導体チップのうちの 1 個からなる対象チップが有する複数の金属突起からなる第 1 の電極を、前記回路基板が一方の面において有する第 2 の電極の上へ各々対向するように配置し、かつ、導電性物質を介して該第 1 の電極と第 2 の電極とを接続することによって前記対象チップを前記回路基板へ実装する工程と、前記対象チップが有する第 1 の電極が接続された第 2 の電極と前記回路基板が他方の面において有する外部用電極とを接続するための、又は該第 1 の電極が接続された第 2 の電極と前記対象チップ以外の残りの半導体チップが接続されるべき第 2 の電極と前記外部用電極とを各々接続するための、前記回路基板が有する内部配線を介して、該外部用電極から受け取った検査入力信号を前記対象チップへ供給し、かつ、該対象チップから供給された検査出力信号を該外部用電極において受け取ることによって該対象チップを検査する工程と、前記対象チップが接続された回路基板に前記残りの半導体チップを順次実装する工程とを備えたことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、単一の回路基板へ複数の半導体チップを実装し、かつ、該複数の半導体チップのうち所望の半導体チップを実装した状態で、該所望の半導体チップを検査できる半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】従来の半導体装置においては、1 個の半導体チップが回路基板の上へ実装されて構成される。該半導体チップが有する一方の面へは、Au パンプからなる金属突起が形成される。回路基板は、例えばセラミック等の絶縁基体からなる多層回路基板である。該回路基板が有する一方の面へは、導電性樹脂を介して Au パンプと接続されるためのチップ用電極が形成される。該チップ用電極は、回路基板が有する多層配線によって、該回路基板の他方の面へ形成された外部用電極と接続される。該外部用電極は、該多層配線とチップ用電極とを介して、外部から半導体チップへ信号を供給し、かつ、該半導体チップから外部へ信号を供給するための入出力電極である。チップ用電極と Au パンプとは導電性樹脂によって接続され、かつ該導電性樹脂は硬化される。このことによって、半導体チップは回路基板へ実装される。実装された後に、半導体装置を保護するための封止樹脂が、該半導体チップと回路基板との間隙へ充填され、かつ硬化される。

## 【0003】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置によれば、回路基板へ 1 個の半導体チップを実装する。該 1 個の半導体チップに、例えばマイコンと DRAM 等のメモリとを形成する場合には、それぞれの素子を統合して 1 チップ化することを目的とした長期にわたる開発期間や巨額の開発費用を必要とする。したがって、近年強く要望されている半導体装置の多機能化に対して、対応が困難であるという問題があった。

【0004】また、このような半導体チップを検査する場合には、スキャンテストを実行するためのスキャン回路とスキャンバスとを、該半導体チップに形成する必要がある。したがって、半導体装置の小型化が図れないという問題があった。

【0005】本発明は、上記従来の問題に鑑み、単一の回路基板へ複数の半導体チップを実装し、かつ、所望の半導体チップを実装した状態で、外部から該所望の半導体チップを検査できる半導体装置及びその製造方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】上記従来の問題を解決するために、本発明が講じた第 1 の解決手段は、回路基板の上へ複数の半導体チップが実装された半導体装置を、一方の面に複数の第 1 の電極を各々有する複数の半導体チップと、一方の面に該第 1 の電極と各々接続されるための第 2 の電極を有し、他方の面に外部に対して信号を受け取り又は供給するための複数の外部用電極を有し、第 2 の電極と外部用電極との間及び第 2 の電極同士と外部用電極との間を各々接続し、該外部用電極から受け取った検査入力信号を複数の半導体チップのうちの 1 個からなる対象チップへ供給し、かつ、該対象チップから受け取った検査出力信号を外部用電極へ供給することによ

って該対象チップを検査するための内部配線とを備えた構成としたものである。

【0007】この構成によれば、回路基板上へ実装された複数の半導体チップ同士の間、及び該複数の半導体チップと回路基板の外部との間で信号の供給又は受取りができ、かつ、対象チップが実装された状態で該対象チップと該回路基板の外部との間で信号の供給又は受取りができる。

【0008】また、本発明が講じた第2の解決手段は、回路基板の上へ複数の半導体チップが実装された半導体装置の製造方法を、該複数の半導体チップのうちの1個からなる対象チップが有する複数の第1の電極を回路基板が一方の面において有する第2の電極に接続する工程と、回路基板が他方の面において有する外部電極と該第2の電極とを接続し、又は対象チップに接続された第2の電極と該対象チップ以外の残りの半導体チップが接続されるべき第2の電極と外部電極とを各々接続するための、回路基板が有する内部配線を介して、半導体装置の外部から受け取った検査入力信号を対象チップへ供給し、かつ、該対象チップから受け取った検査出力信号を外部へ供給することによって該対象チップを検査する工程と、該対象チップが接続された回路基板に残りの半導体チップを順次実装する工程とを備えた構成としたものである。

【0009】この構成によれば、対象チップを回路基板へ実装した状態において該対象チップを検査した後に、残りの半導体チップを該回路基板へ順次実装できる。

【0010】

【発明の実施の形態】本発明に係る半導体装置について、図1(a)、(b)を参照して説明する。図1

(a)は本発明に係る半導体装置の構成を示す平面図であり、図1(b)は該半導体装置のA-A線断面図である。図1(a)、(b)において、マイコン10と、例えばそれぞれDRAMから構成された第1のメモリ11と第2のメモリ12とは、回路基板30の上へそれぞれ実装された半導体チップである。各半導体チップがそれぞれ有するAuパンプ20は、回路基板30が有するチップ用電極40に、導電性樹脂50を介して接続された電極である。該Auパンプ20は、各半導体チップがそれぞれ有する一方の面へ形成された金属突起であって、ボールボンディング法によってそれぞれ形成された基体部と凸部とを有する。

【0011】回路基板30は、マイコン10と第1のメモリ11と第2のメモリ12とからなる半導体チップを実装し、該実装された半導体チップのそれぞれに対して半導体装置の外部から受取った信号を供給し、かつ、該実装された半導体チップからそれぞれ受取った信号を外部へ供給するための基板である。回路基板30は、例えば、アルミナ、ガラスセラミック等の無機材料、ガラスエポキシ基板等の複合材料、又はアラミド繊維等を加工

した有機材料からなる絶縁性基体から構成される。回路基板30がアルミナ等のセラミックからなる場合には、その板厚を0.2mm以上0.5mm以下にする。板厚を0.5mm以下にすることによって、半導体装置がプリント基板へ実装された状態において、温度サイクル等の負荷によりプリント基板と半導体装置が有するセラミックからなる回路基板との熱膨張率の差による熱応力を、半導体装置全体によって吸収することが可能になる。したがって、外部用電極の接続部に対してせん断応力が集中して印加されることを抑制できる。セラミックからなる回路基板の板厚を決定する目的で、耐ヒートサイクル性を評価した。1辺が17mmの正方形であって、かつ、0.4mm、0.7mm、及び1.0mmの板厚をそれぞれ有するセラミックからなる回路基板(各5サンプル)に半導体チップを実装した後に、-40℃(30分)と100℃(30分)との間においてヒートサイクルテストを行なった。半導体チップと回路基板との間の接続抵抗値を100サイクル毎に測定して、該接続抵抗値が初期値から10%以上上昇した場合を不良と判定した。その結果、板厚1.0mmの場合には100サイクル後に、板厚0.7mmの場合には400サイクル後に、板厚0.4mmの場合には500サイクル後にそれぞれ不良が発生した。この評価結果に基づいて、セラミックからなる回路基板が有する板厚の上限値を、0.5mmに決定した。一方、板厚を0.2mm以上にすることによって、セラミックを焼成する際に発生する反りを抑制できる。

【0012】チップ用電極40は、外部用電極60A、60B、60C、…から受取った信号をそれぞれ対応するAuパンプ20に供給し、かつ、該対応するAuパンプ20からそれぞれ受取った信号を外部用電極60A、60B、60C、…へ供給するための電極である。導電性樹脂50は、Auパンプ20とチップ用電極40とを接続するための導電性物質である。該導電性樹脂50は、例えば、バインダーとしてエポキシ樹脂を、かつ導体フィラーとしてAgPd合金、Ag等よりなる粒子を使用する。

【0013】外部用電極60A、60B、60C、…は、Auパンプ20と導電性樹脂50とチップ用電極40と内部配線70A、70B、70C、…とをそれぞれ介して、第1のメモリ11から受け取った信号を半導体装置の外部へ供給し、かつ、外部から受け取った信号を該第1のメモリ11へ供給するための電極である。外部用電極60A、60B、60C、…は、メタライズ金属層によって形成され、かつ、回路基板30におけるチップ用電極40が形成されていない面へ格子状に配置される。該外部用電極同士の間隔は、プリント基板への実装を困難にしないように0.5mm以上とし、かつ、半導体装置の小型化に支障が生じないように1.0mm以下とすることが望ましい。

【0014】内部配線70Aは、回路基板30の内部において、チップ用電極40のうちの1個と外部用電極60Aとを接続するための配線である。内部配線70Bは、回路基板30の内部において、通常動作時にはマイコン10から第1のメモリ11へ所定の信号を供給するための配線であって、かつ、外部用電極60Bに接続された配線である。内部配線70Cは、回路基板30の内部において、通常動作時には第1のメモリ11からマイコン10へ所定の信号を供給するための配線であって、かつ、外部用電極60Cに接続された配線である。マイコン10と第1のメモリ11との間において入出力されるべき信号の経路については、それぞれ配線を分岐させて、外部用電極に接続させるための内部配線を設ける。マイコン10と第2のメモリ12との間において入出力されるべき信号の経路についても、同様の内部配線を設ける。

【0015】封止樹脂80は、マイコン10と第1のメモリ11と第2のメモリ12とからなる半導体チップをすべて回路基板30へ実装した後に、該実装された各半導体チップと該回路基板30との間隙へ充填され、かつ硬化されることによって半導体装置を保護するための保護樹脂である。

【0016】本実施形態に係る半導体装置の製造方法を、図2(a)～(d)を参照して説明する。図2(a)～(d)は、図1に示された半導体装置の工程フロー図である。まず、図2(a)において、マイコン10と第1のメモリ11とがそれぞれ有するAuパンプ20へ、導電性樹脂50を供給する。この場合には、一定の厚みに塗布された導電性樹脂に、それぞれAuパンプ20を設けたマイコン10と第1のメモリ11とを、適当な治工器具を使用してそれぞれ押し当てた後に引き上げる、いわゆる転写法を使用する。このことによって、Auパンプ20の凸部のみに、所定の厚さの導電性樹脂50を付着させる。

【0017】次に、図2(b)において、該Auパンプ20と回路基板30とが有するチップ用電極40とを対向させて、第1のメモリ11と回路基板30とを位置合わせした後に、該第1のメモリ11を回路基板30へ圧接する。更に、例えば100℃の温度において1時間加熱することによって、導電性樹脂50を熱硬化させる。このことによって、第1のメモリ11を回路基板30へ実装する。導電性樹脂50を使用するので、Auパンプ20の高さが不均一なことによって該Auパンプ20とチップ用電極40とが接触せずに間隙が生じる場合においても、その間隙に導電性樹脂50が充填される。したがって、Auパンプ20とチップ用電極40との間におけるコンタクト不良を抑制できる。

【0018】続いて、第1のメモリ11に対する検査を実行する。通常動作時においてマイコンから第1のメモリ11へ供給されるべき信号に代えて、外部から外部用

電極60Bへ検査入力信号を供給する。該検査入力信号は、内部配線70Bを介して第1のメモリ11へ供給される。第1のメモリ11は、該供給された検査入力信号に応じて動作し、かつ、動作した結果である検査出力信号を内部配線70Cを介して外部用電極60Cへ供給する。外部用電極60Cから受け取った検査出力信号を調べることによって、第1のメモリ11に対する検査を実行できる。この場合には、検査対象である対象チップは第1のメモリ11であり、該対象チップ以外の残りの半導体チップはマイコン10と図示されていない第2のメモリとである。

【0019】また、異なるプロセスに基づいて設計された半導体チップが混在する場合には、検査する工程において、必要な半導体チップのみに対して更にスクリーニングを実行できる。例えば、マイコン10は既に確立されたプロセスに基づいて設計され、かつ第1のメモリ11はまだ確立されていないプロセスに基づいて設計された場合には、該第1のメモリ11を回路基板30へ実装した状態で、外部から所定の信号を該第1のメモリ11へ供給する。このことによって、第1のメモリ11のみに対して、例えばバーンインによるスクリーニングを実行できる。

【0020】続いて、図示されていない第2のメモリに対する検査を実行する。図2(a)、(b)に示された手順と同様にして、第2のメモリを回路基板30へ実装した後に、外部から検査入力信号を供給し、かつ検査出力信号を調べることによって該第2のメモリを検査する。この場合には、対象チップは第2のメモリであり、残りの半導体チップはマイコン10である。以上の検査において第1のメモリ11又は第2のメモリに不良が発生した場合には、以降の工程に進めることなく不良解析を行なう。

【0021】次に、図2(c)において、図2(b)に示された手順と同様にして、マイコン10を回路基板30へ実装する。次に、図2(d)において、マイコン10、第1のメモリ11、及び図示されていない第2のメモリからなる半導体チップと、回路基板30とのそれぞれの間隙に、該回路基板30の外周側から封止樹脂80を注入する。この場合には、注入ノズルを使用して、各半導体チップにおける回路基板30の外周側の一方から間隙に封止樹脂80を注入して充填し、その後に各半導体チップの周辺端部を封止する。更に、所定の温度によって該封止樹脂80を硬化させて樹脂モールドする。このことによって、各半導体チップと回路基板30との間隙に気泡が残ることなく高い機密性を有する封止ができるので、高い信頼性を有する半導体装置を実現できる。

【0022】なお、以上の説明においては、各半導体チップへ形成された電極としてAuパンプを使用した。これに限らず、半導体チップへ形成された金屈突起であれ

ば使用できることはいうまでもない。

【0023】以上説明したように、本発明によれば、回路基板30へマイコン10と第1のメモリ11と第2のメモリ12とを実装する。したがって、1チップ化のための開発期間及び開発費用が不要になるので、半導体装置に対する多機能化の要求に短期間かつ低コストで対応できる。また、回路基板30へ第1のメモリ11を実装した状態において、通常動作時にマイコン10と第1のメモリ11との間で入出力されるべき信号に代えて、半導体装置の外部と該第1のメモリ11との間で検査入力信号と検査出力信号とをそれぞれ入出力する。このことによって、検査の対象チップである第1のメモリ11のみに対して、検査又はスクリーニングを実行できる。したがって、多機能化を目的として複数の半導体チップを実装する半導体装置において、対象チップに対して適切な検査又はスクリーニングを実行することによって、品質を容易に確認でき、かつ、潜在的な欠陥を有する半導体チップが後工程へ流出することを防止できる。また、検査又はスクリーニングに際して、半導体装置の外部と対象チップとの間で検査入力信号と検査出力信号とをそれぞれ入出力するので、該対象チップにはバウンダリースキャン回路とスキャンバスとを設ける必要がない。したがって、対象チップが有するチップ面積を小さくすることができるので、半導体装置の小型化を図ることができる。

【0024】

【発明の効果】本発明に係る半導体装置によれば、半導体装置に対する多機能化の要求に応じた複数の半導体チップを回路基板へ実装することによって、該多機能化の

要求に対して容易に対応できる。

【0025】また、多機能化を目的として複数の半導体チップを実装する半導体装置において、検査を実施したい半導体チップである対象チップに対して、適切な検査又はスクリーニングを実行できる。このことによって、対象チップの品質を容易に確認でき、かつ、潜在的な欠陥を有する半導体チップが後工程へ流出することを防止できる。したがって、多機能を有し、かつ安定した品質を有する半導体装置を実現できる。

【0026】また、対象チップにはバウンダリースキャン回路とスキャンバスとを設ける必要がないので、対象チップのチップ面積を小さくすることができる。したがって、半導体装置の小型化を図ることができる。

【図面の簡単な説明】

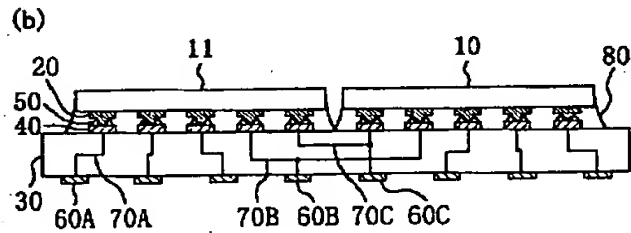
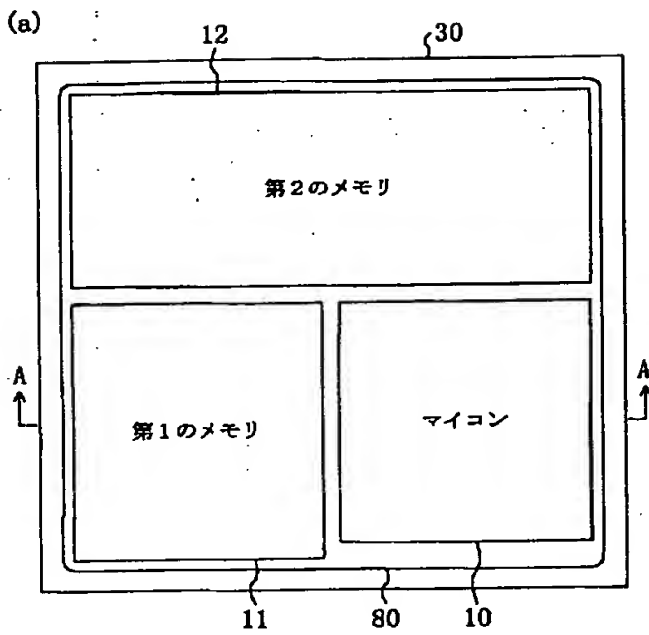
【図1】(a)は本発明に係る半導体装置の構成を示す平面図、(b)は(a)のA-A線断面図である。

【図2】(a)～(d)は、図1に示された半導体装置の工程フロー図である。

【符号の説明】

- 10 マイコン (半導体チップ)
- 11 第1のメモリ (半導体チップ)
- 12 第2のメモリ (半導体チップ)
- 20 Auバンプ (第1の電極)
- 30 回路基板
- 40 チップ用电極 (第2の電極)
- 50 導電性樹脂 (導電性物質)
- 60, 61, 62 外部用电極
- 70, 71, 72 内部配線
- 80 封止樹脂

【図1】



【図2】

